



REC'D 01 AUG 2003

Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. MI2002 A 001426



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Inoltre verbale depositato alla Camera di Commercio di Milano n. MIR002076 del 19/07/2002 (pag. 1
disegni definitivi (pagg. 3).

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

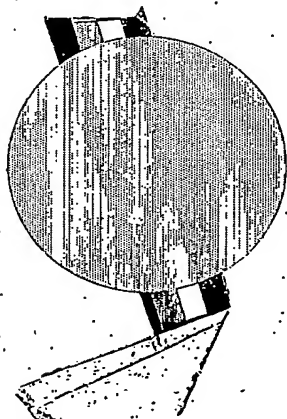
16 GIU. 2003

Roma, li

IL DIRIGENTE

Paola Di Cintio

D.ssa Paola DI CINTIO



DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

L'UFFICIALE ROGANTE

REG. A

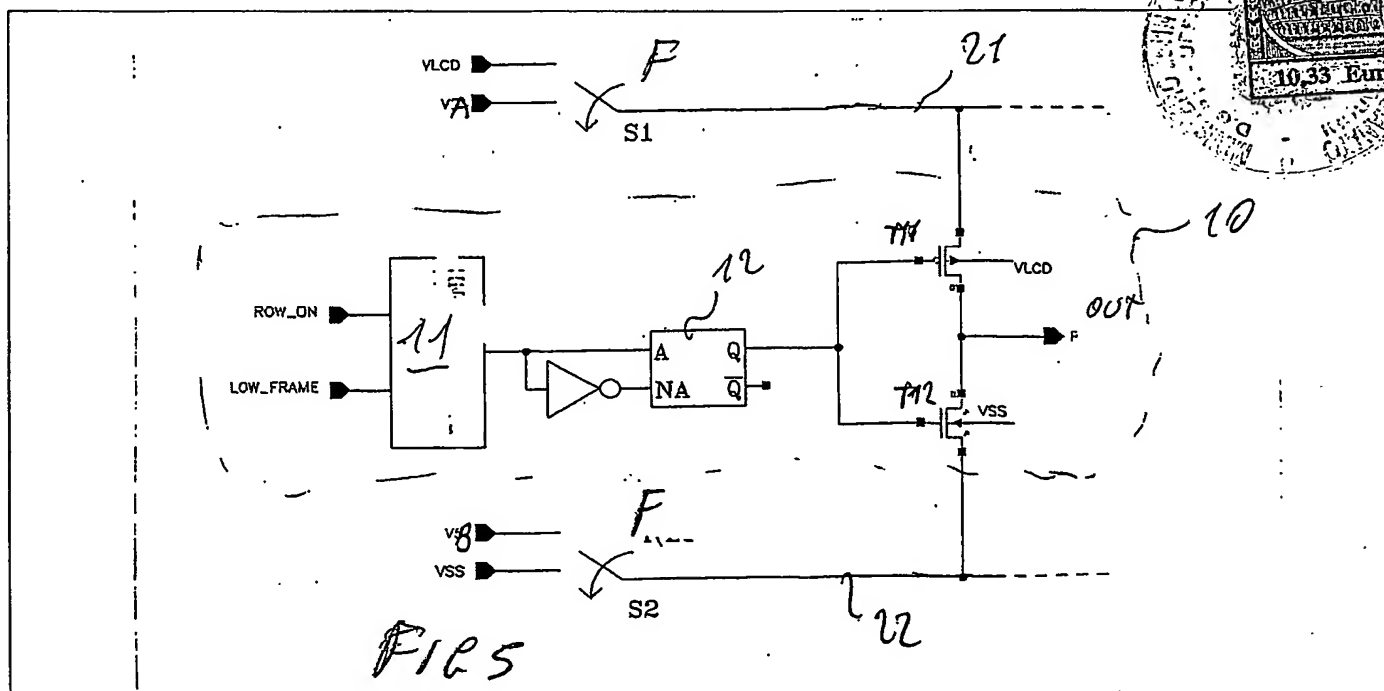
DATA DI DEPOSITO 27/06/2002
DATA DI RILASCIO 11/11/1111

"Sistema per il pilotaggio di righe di un display a cristalli liquidi".

L. RIASSUNTO

E' descritto un sistema per il pilotaggio di righe di un display a cristalli liquidi comprendente almeno un modulo (10) per il pilotaggio di una singola riga del display a cristalli liquidi. Il modulo comprende un inverter (T11-T12) operante in un percorso di alimentazione compreso fra una prima (21) ed una seconda (22) linea di alimentazione del sistema, dove la prima linea di alimentazione (21) comprende primi mezzi (S1) capaci di collegarla ad una prima (VLCD) o ad una seconda (VA) tensione di alimentazione e la seconda linea di alimentazione (22) comprende secondi mezzi (S2) capaci di collegarla ad una terza (VB) od ad una quarta (VSS) tensione di alimentazione. L'inverter (T11-T12) è pilotato da una circuiteria logica (11-12) ed invia in uscita (OUT) un segnale di pilotaggio per una singola riga del display a cristalli liquidi. (Fig. 5).

M. DISEGNO



DESCRIZIONE

dell'invenzione industriale avente per titolo:

"Sistema per il pilotaggio di righe di un display a cristalli liquidi."

a nome: 1. STMicroelectronics s.r.l.; 2. DORA S.p.A.



* * * *

MI 2002 A 0 0 1 4 2 6

La presente invenzione concerne un sistema per il pilotaggio di righe di un display a cristalli liquidi.

I display a cristalli liquidi (LCD) sono oggi utilizzati in un numero sempre piu' crescente di prodotti come i telefoni cellulari, computer portatili, etc. I display, che possono essere in bianco e nero, in scala di grigi o a colori, sono generalmente formati da una matrice di elettrodi a righe e colonne che, opportunamente pilotati mediante l'applicazione di un segnale di tensione, determinano in corrispondenza dei punti di incrocio, i cosiddetti pixels, una modifica del comportamento ottico del cristallo liquido interposto.

L'immagine che viene visualizzata sul display viene ottenuta attraverso diversi possibili metodi di pilotaggio delle righe e delle colonne.

Un metodo sovente utilizzato per il pilotaggio di un visualizzatore LCD e noto come Improved Alt & Pleshko (IA&P), richiede l'eccitazione di un singolo elettrodo di riga per un periodo di tempo elementare mediante un unico impulso di selezione e l'eccitazione contemporanea degli elettrodi di colonna; a quest'ultimi vengono applicati valori di tensione atti a determinare l'accensione o lo spegnimento di tutti i pixels che appartengono a quella singola riga. Per un successivo periodo di tempo elementare si avrà l'eccitazione di un altro elettrodo di riga e così via fino ad ultimare la scansione dell'ultimo elettrodo di riga; pertanto se gli elettrodi di riga sono un

numero N e T è il periodo di tempo elementare, il tempo necessario alla scansione di tutte le righe sarà dato da NT che è detto anche "frame".

Le caratteristiche di trasmissione ottica del cristallo liquido variano con l'ampiezza della tensione applicata al pixel relativo, ma l'applicazione di una tensione continua è dannosa per il cristallo liquido in quanto cambia e degrada in modo permanente le proprietà fisiche del materiale. Per tale motivo i segnali di tensione utilizzati per pilotare i singoli pixel di un display LCD sono segnali di tensione alternata rispetto ad un valor comune di tensione in continua che non necessariamente deve essere il potenziale di massa. In tal modo il pilotaggio di un pixel dello schermo avviene attraverso due forme d'onda di uguale ampiezza ma di polarità opposta rispetto ad una tensione comune, che si susseguono periodicamente. Pertanto la tensione di pilotaggio applicata ad un dato pixel durante il suo periodo T all'interno di un frame viene applicata con polarità opposta durante il rispettivo periodo T del frame successivo.

Tuttavia tutte queste transizioni di tensione coinvolgono una potenza significativa che deve essere maneggiata dai circuiti di pilotaggio. Pertanto uno degli scopi primari nella progettazione dei dispositivi di pilotaggio di righe e colonne degli LCD è quello di ridurre il consumo di potenza in modo da minimizzare sia la potenza erogata dagli alimentatori di tali dispositivi, sia la potenza dissipata da essi.

Una parte di un dispositivo per il pilotaggio di righe di un LCD, più precisamente il dispositivo Philips PCF8548, è descritto in figura 1.

Il segnale `LOW_FRAME` è un segnale logico che vale 0 nei frame pari, e vale 1 nei frame dispari. `ROW_ON` invece è un segnale logico che vale 0

quando la riga in questione non viene selezionata, vale 1 quando è in scansione. A partire da questi due segnali vengono generati, attraverso un circuito 1, i segnali di controllo che pilotano due transistor PMOS T9, T10 e due transistor NMOS T7, T8. In particolare i terminali di gate dei transistor T8, T9 e T10 sono pilotati attraverso 3 celle circuitali identiche C1, mostrate in figura 2. Dette celle sono dei level-shifter cioè dei buffer che convertono i livelli del segnale logico da bassa tensione ad alta tensione in particolare dalla tensione di alimentazione VDD ad una tensione di pilotaggio VLCD generata da un dispositivo (non mostrato in figura) comprendente un regolatore booster attraverso la connessione di un certo numero di stadi di una pompa di carica.

Ogni cella C1 comprende due transistor NMOS M22 e M23 pilotati dai segnali A e NA, cioè il segnale in uscita dalla circuiteria logica 1 ed il segnale A negato. I terminali di source dei transistor M22 e M23 sono connessi alla tensione VSS ed i terminali di drain sono connessi rispettivamente ai terminali di drain di due transistor PMOS M20 e M21 sul terminale di source dei quali è presente la tensione VLCD; inoltre i terminali di drain dei transistor M22 e M23 sono connessi ai terminali di gate dei transistor M21 e M20. Le uscite Q pilotano le gate dei transistor T10, T9 e T8.

Il terminale di gate del transistor T7 è invece pilotato direttamente da un segnale logico di bassa tensione.

Il terminale di source del transistor T9 è connesso ad un riferimento di tensione VA mentre il terminale di drain è connesso al terminale di drain del transistor T10 il cui terminale di source è connesso alla tensione VLCD. Il terminale di source del transistor T8 è connesso ad un riferimento di tensione

VB mentre il terminale di drain è connesso al terminale di drain del transistor T7 il cui terminale di source è connesso alla tensione VSS. I terminali di drain delle coppie di transistor T7-T8 e T9-T10 sono in comune e forniscono il segnale di uscita OUT.

Le tensioni VA e VB sono differenti livelli di tensione intermedie fra le tensioni VLCD e VSS che vengono generati all'interno del dispositivo di pilotaggio di un LCD. Il rapporto fra questi livelli e VLCD viene scelto in base alla dimensione della matrice del display secondo dei criteri che verranno esposti di seguito.

In particolare secondo la tecnica di Improved Alt & Pleshko, per pilotare in maniera adeguata il display a cristalli liquidi, vengono generati internamente al dispositivo quattro diversi livelli di tensione intermedi fra VLCD e VSS. Il rapporto fra questi livelli e VLCD viene fissato in base al numero di righe m del display secondo le relazioni:

$$\text{VLCD}, [(n+3)/(n+4)]*VLCD, [(n+2)/(n+4)]*VLCD, [2/(n+4)]*VLCD, \\ [1/(n+4)]*VLCD, \text{VSS})$$

con n dato dalla radice quadrata di $m-3$.

Se, ad esempio, $m = 81 \Rightarrow n = 6$ nel caso di un display con 81 righe i livelli di tensione saranno:

$$\text{VLCD} \quad (9/10)*VLCD \quad (8/10)*VLCD \quad (2/10)*VLCD \\ (1/10)*VLCD \quad \text{VSS}.$$

Con riferimento al circuito di pilotaggio di figura 1, nel caso di un pilotaggio di righe, i riferimenti di tensione VA e VB saranno uguali rispettivamente a $(9/10)*VLCD$ e $(1/10)*VLCD$. Il pilotaggio avverrà, ad esempio, nella maniera seguente: in un frame verranno accesi



alternativamente i transistor T9 e T7 mentre T10 e T8 saranno spenti; in tal caso il segnale di uscita OUT, atto al pilotaggio di una riga, varierà tra VSS e VA a secondo se la riga è in scansione o no. Nel frame successivo i transistor T10 e T8 saranno accesi alternativamente mentre i transistor T9 e T7 saranno spenti e pertanto il segnale di uscita varierà tra VLCD e VB a secondo se la riga è in scansione o no. Le forme d'onda del segnale di uscita OUT nel caso di pilotaggio di due righe ROW0 e ROW1 per un frame n e per il successivo frame n+1 sono mostrate in figura 3. La figura 4 mostra l'immagine come appare sul display.

In vista dello stato della tecnica, scopo della presente invenzione è quello di realizzare un sistema per il pilotaggio di righe di un display a cristalli liquidi che abbia un minor numero di componenti rispetto ai sistemi noti e pertanto occupi una minor area di ingombro nell'integrazione del sistema.

In accordo alla presente invenzione, tale scopo viene raggiunto mediante un sistema per il pilotaggio di righe di un display a cristalli liquidi caratterizzato dal fatto di comprendere almeno un modulo per il pilotaggio di una singola riga di detto display a cristalli liquidi, detto modulo comprendendo un inverter operante in un percorso di alimentazione compreso fra una prima ed una seconda linea di alimentazione di detto sistema, detta prima linea di alimentazione comprendendo primi mezzi capaci di collegarla ad una prima o ad una seconda tensione di alimentazione e detta seconda linea di alimentazione comprendendo secondi mezzi capaci di collegarla ad una terza od ad una quarta tensione di alimentazione, detto inverter essendo pilotato da una circuiteria logica ed inviando in uscita un segnale di pilotaggio per una singola riga di detto display a cristalli liquidi.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è uno schema circuitale di un dispositivo di pilotaggio di righe di un LCD secondo l'arte nota;

la figura 2 è uno schema circuitale più in dettaglio di una parte del circuito di figura 1;

la figura 3 mostra forme d'onda del segnale di tensione in uscita dal circuito di figura 1 nel caso di pilotaggio di due righe;

la figura 4 mostra un'immagine formata sullo schermo di un LCD;

la figura 5 è uno schema circuitale di un sistema per il pilotaggio delle righe di un LCD secondo l'invenzione;

la figura 6 mostra le forme d'onda temporali LOW_FRAME, ROW_ON e OUT del dispositivo di figura 5.

Con riferimento alla figura 5 è mostrato uno schema circuitale di un sistema per il pilotaggio di righe di un LCD secondo la presente invenzione. Detto sistema si avvale di diversi moduli di pilotaggio 10, ciascuno per ogni riga del display, ciascuno dei quali comprende una circuiteria logica di bassa tensione 11 accoppiata ad un dispositivo level-shifter 12 che pilota un transistor PMOS T11 ed un transistor NMOS T12 formanti un inverter ed aventi un unico terminale di uscita OUT dove è presente il segnale per il pilotaggio di una singola riga. I transistor T11 e T12 sono accoppiati a due linee di alimentazione 21 e 22 che possono essere collegate a due diverse tensioni di alimentazione, rispettivamente VLCD, VA e VB, VSS, attraverso

due commutatori S1 e S2 comandati da un segnale F funzione del segnale LOW_FRAME. Detto segnale F comanderà la commutazione dell'interruttore S1 su VA e dell'interruttore S2 su VSS se il segnale LOW_FRAME è al livello logico 0, mentre comanderà la commutazione dell'interruttore S1 su VLCD e dell'interruttore S2 su VB se il segnale LOW_FRAME è al livello logico 1.

La circuiteria 11, che preferibilmente è costituita da una sola porta XOR, opera in un percorso di alimentazione compreso fra le tensioni di alimentazione VDD e VSS ed ha in ingresso i due segnali logici LOW_FRAME e ROW_ON in cui il segnale logico LOW_FRAME è un segnale logico che vale 0 nei frame pari, e vale 1 nei frame dispari mentre il segnale logico ROW_ON vale 0 quando la riga in questione non viene selezionata, vale 1 quando è in scansione.

Il segnale A in uscita ha il valore delle tensioni VDD e VSS ed assieme al segnale NA, cioè il segnale A negato, pilota il dispositivo elevatore o level-shifter 12 che opera fra le tensioni di alimentazione VLCD e VSS ed ha una struttura circuitale simile alla cella C1 di figura 2. Il segnale Q in uscita al dispositivo 12 pilota le gate dei due transistor T11 e T12.

Se in un generico frame n pari (il segnale LOW_FRAME=0), se la riga selezionata è in scansione (il segnale ROW_ON=1), il segnale di uscita del dispositivo 12 avrà il valore della tensione VLCD ed il segnale di uscita OUT avrà il valore della tensione VSS. Se invece la riga selezionata non è in scansione (il segnale ROW_ON=0), il segnale di uscita del dispositivo 12 avrà il valore della tensione VSS ed il segnale di uscita OUT avrà il valore della tensione VA.

Al successivo frame $n+1$ (il segnale $LOW_FRAME=1$), se la riga selezionata è in scansione (il segnale $ROW_ON=1$), il segnale di uscita del dispositivo 12 avrà il valore della tensione VSS ed il segnale di uscita OUT avrà il valore della tensione VLCD. Se invece la riga selezionata non è in scansione (il segnale $ROW_ON=0$), il segnale di uscita del dispositivo 12 avrà il valore della tensione VLCD ed il segnale di uscita OUT avrà il valore della tensione VB.

Nella figura 6 sono mostrate le forme d'onda temporali dei segnali LOW_FRAME , ROW_ON ed OUT in due frame successivi, cioè per un frame pari e per un frame dispari.



RIVENDICAZIONI

1. Sistema per il pilotaggio di righe di un display a cristalli liquidi caratterizzato dal fatto di comprendere almeno un modulo (10) per il pilotaggio di una singola riga di detto display a cristalli liquidi, detto modulo comprendendo un inverter (T11-T12) operante in un percorso di alimentazione compreso fra una prima (21) ed una seconda (22) linea di alimentazione di detto sistema, detta prima linea di alimentazione (21) comprendendo primi mezzi (S1) capaci di collegarla ad una prima (VLCD) o ad una seconda (VA) tensione di alimentazione e detta seconda linea di alimentazione (22) comprendendo secondi mezzi (S2) capaci di collegarla ad una terza (VB) od ad una quarta (VSS) tensione di alimentazione, detto inverter (T11-T12) essendo pilotato da una circuiteria logica (11-12) ed inviando in uscita (OUT) un segnale di pilotaggio per una singola riga di detto display a cristalli liquidi.

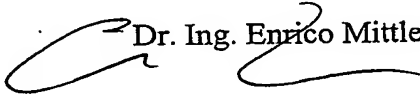
2. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto inverter (T11-T12) è costituito da un transistor PMOS ed un transistor NMOS.

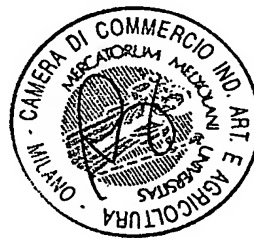
3. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detta prima tensione di alimentazione (VLCD) ha un valore superiore a detta seconda tensione di alimentazione (VA), detta seconda tensione di alimentazione (VA) ha un valore superiore a detta terza tensione di alimentazione (VB), e detta terza tensione di alimentazione (VB) ha un valore superiore a detta quarta tensione di alimentazione (VSS).

4. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detti primi (S1) e secondi (S2) mezzi sono controllati da un segnale logico (F) che

comanda rispettivamente il collegamento della prima linea di alimentazione (21) a detta prima (VLCD) o a detta seconda (VA) tensione di alimentazione e il collegamento della seconda linea di alimentazione (22) a detta terza (VB) o a detta quarta (VSS) tensione di alimentazione a seconda se il frame è dispari o pari.

5. Sistema secondo la rivendicazione 4, caratterizzato dal fatto che detta circuiteria logica (11-12) comprende un dispositivo logico (11) capace di fornire un ulteriore segnale logico (A) in ingresso ad un dispositivo elevatore capace di elevare il livello di detto ulteriore segnale logico (A) per il pilotaggio di detto inverter (T11-T12).

 Dr. Ing. Enrico Mittler



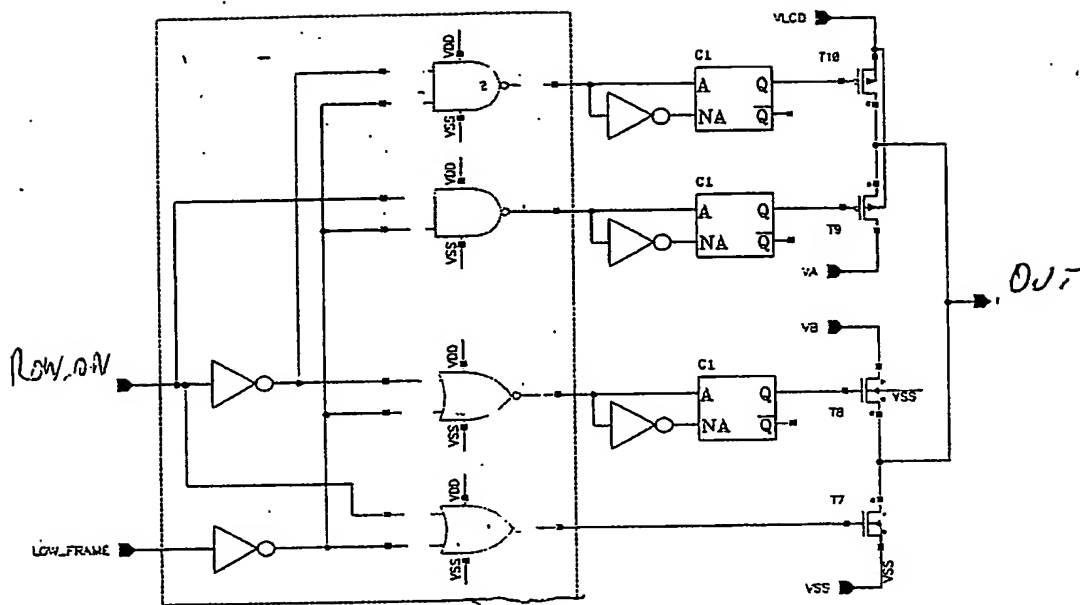


Fig. 1

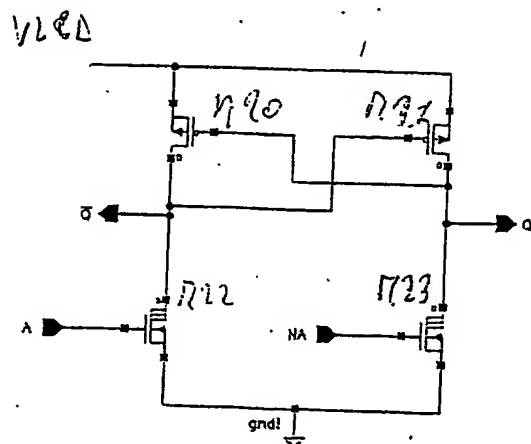
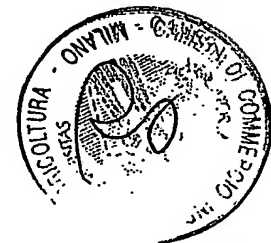
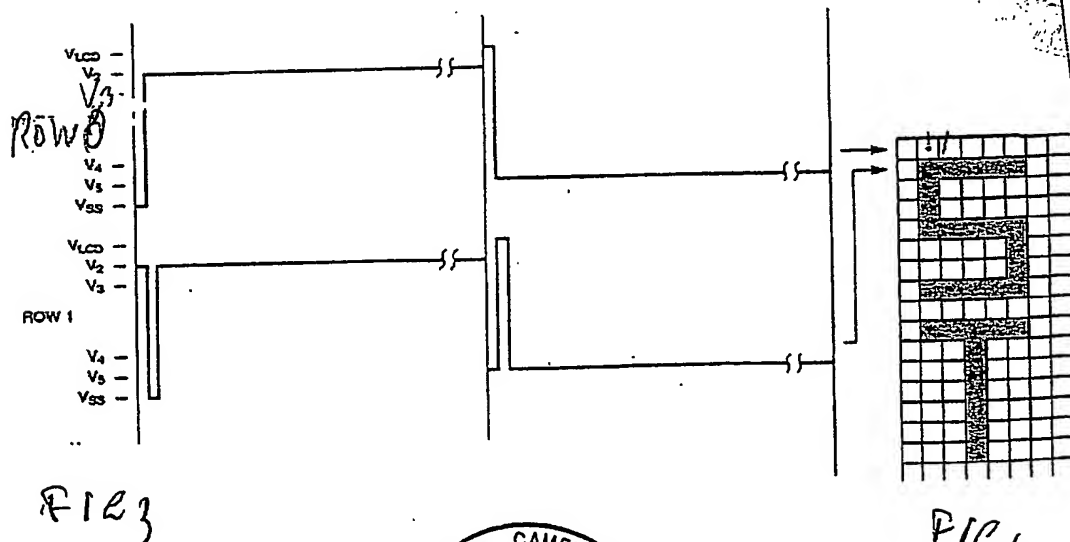
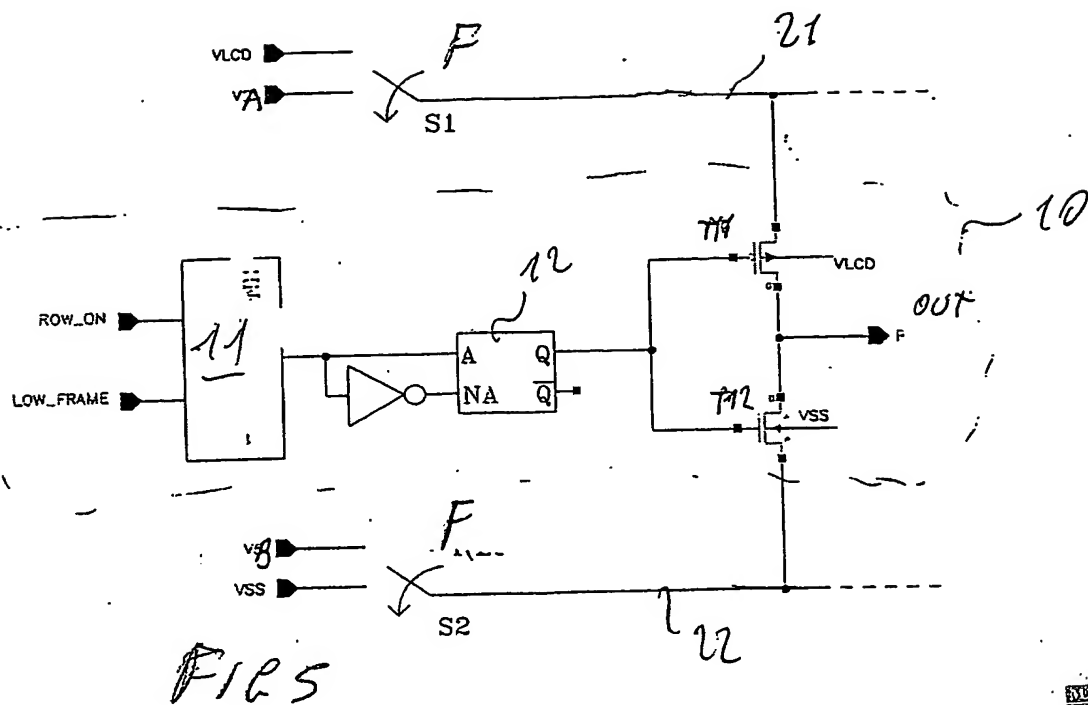


Fig. 2

MI 2002 A 0 0 1 4 2 6

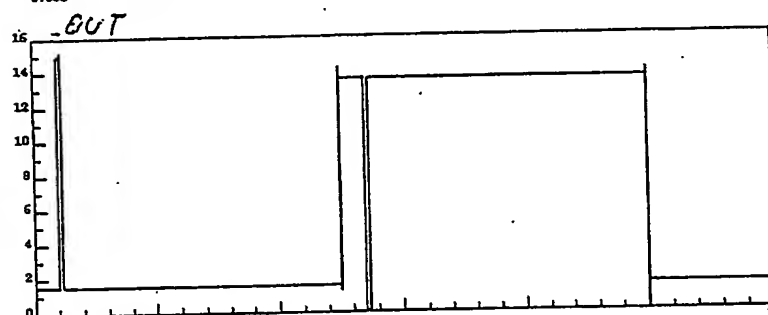
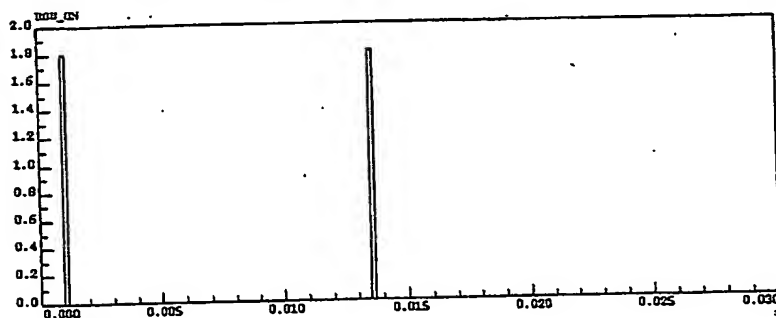
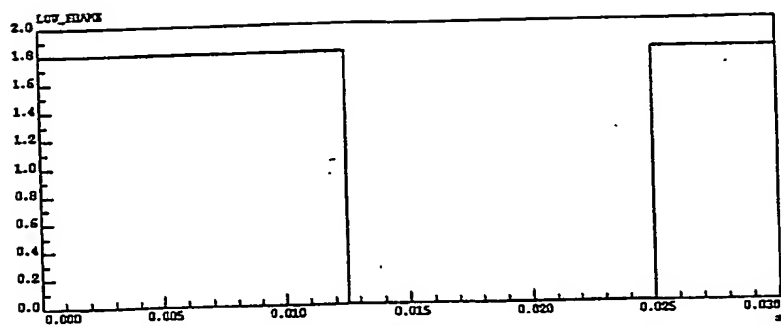


Dr. Ing. Enrico MITTLER



MI 2002A 001426

Dr. Ing. Enrico MITTLER



Pre 6



MI 2002 A 001426

Dr. Ing. Enrico MITTLER



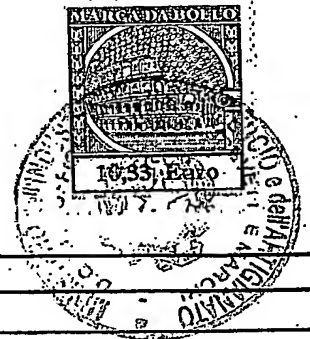
CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI MILANO

Documenti a seguito di riserve - Reg. R

Data consegna	Protocollo riserva	Richiedente
19 Luglio 2002	<div style="border: 1px solid black; padding: 5px; display: inline-block;">BREV. MI - R 002076</div>	1. STMicroelectronics s.r.l. 2. DORA S.p.A.

Rappresentante del richiedente
Ing. Enrico MITTLER

Rif. n° domanda	data presentazione domanda
MI2002A 001426	27 Giugno 2002
invenzione: <input checked="" type="checkbox"/>	
modello: <input type="checkbox"/>	
marchio: <input type="checkbox"/>	



Oggetto del seguito
1 Disegni. Tavole No. 3
2
3
4
5
6
7
8

Il depositante



L'ufficiale rogante
ALESSANDRO MARCHETTI

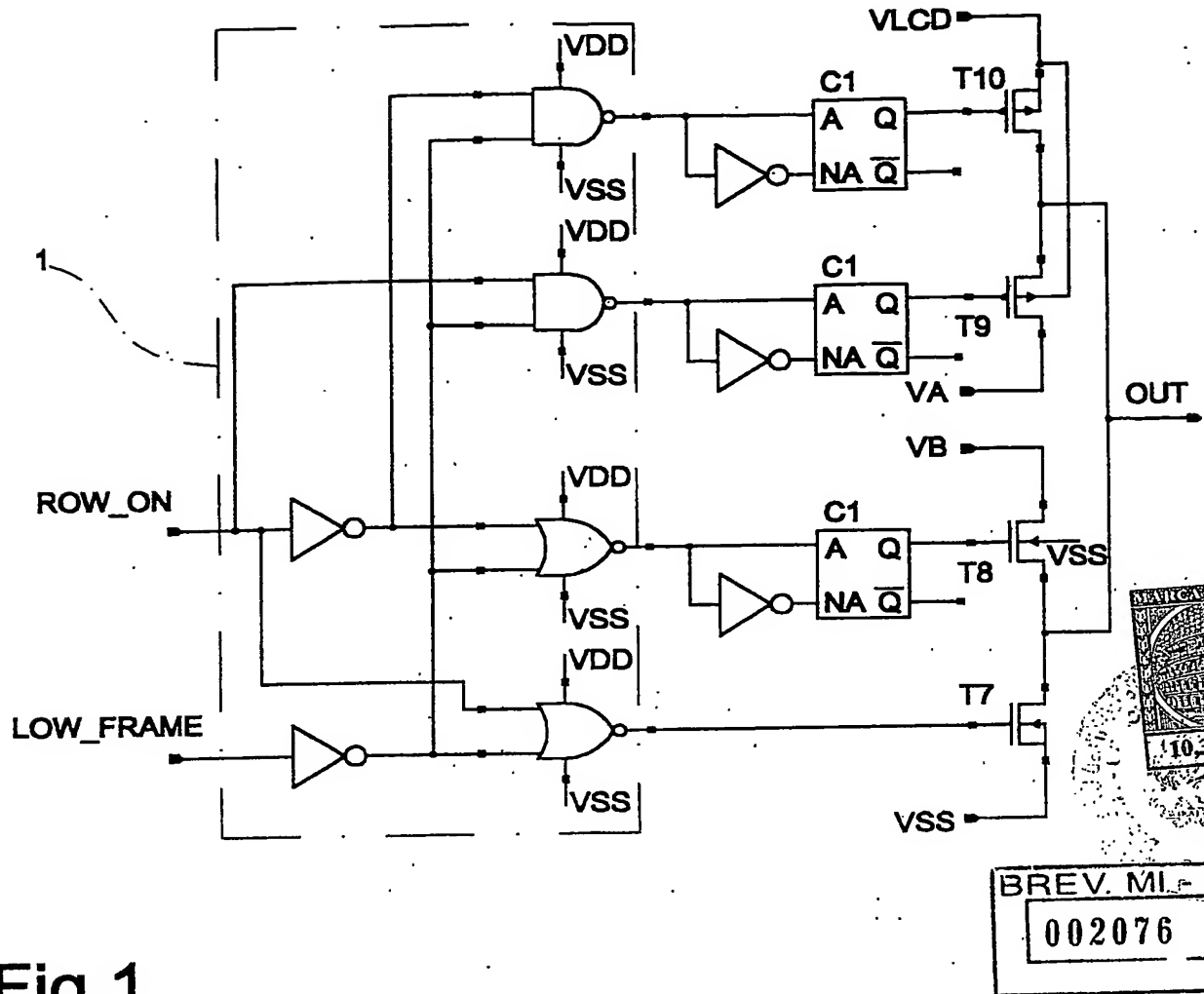


Fig.1

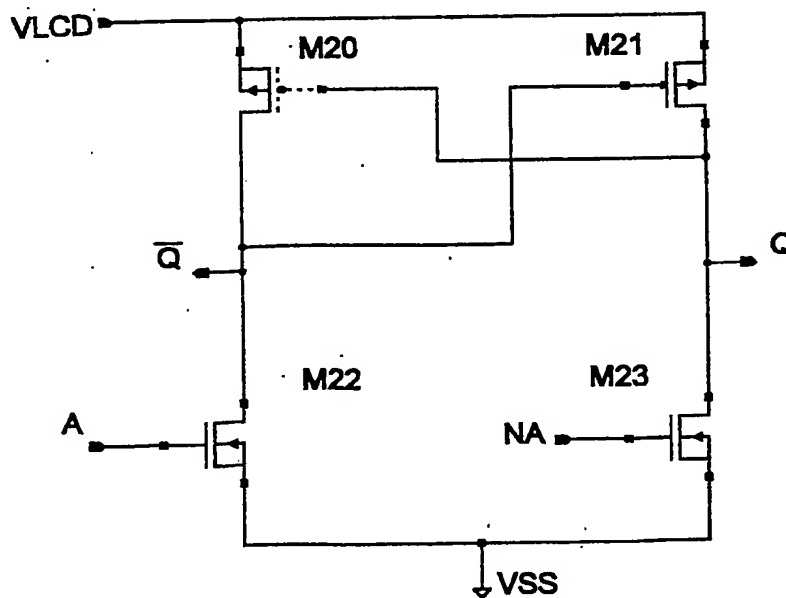


Fig.2

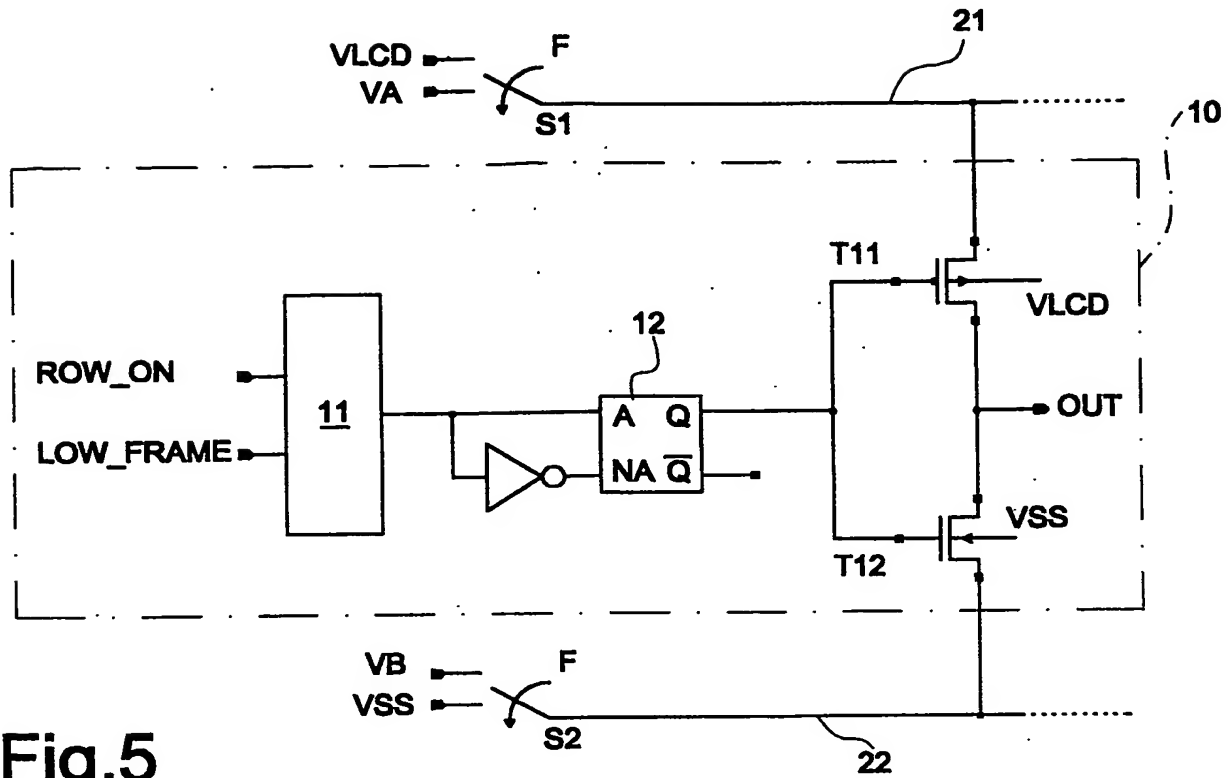


Fig.5

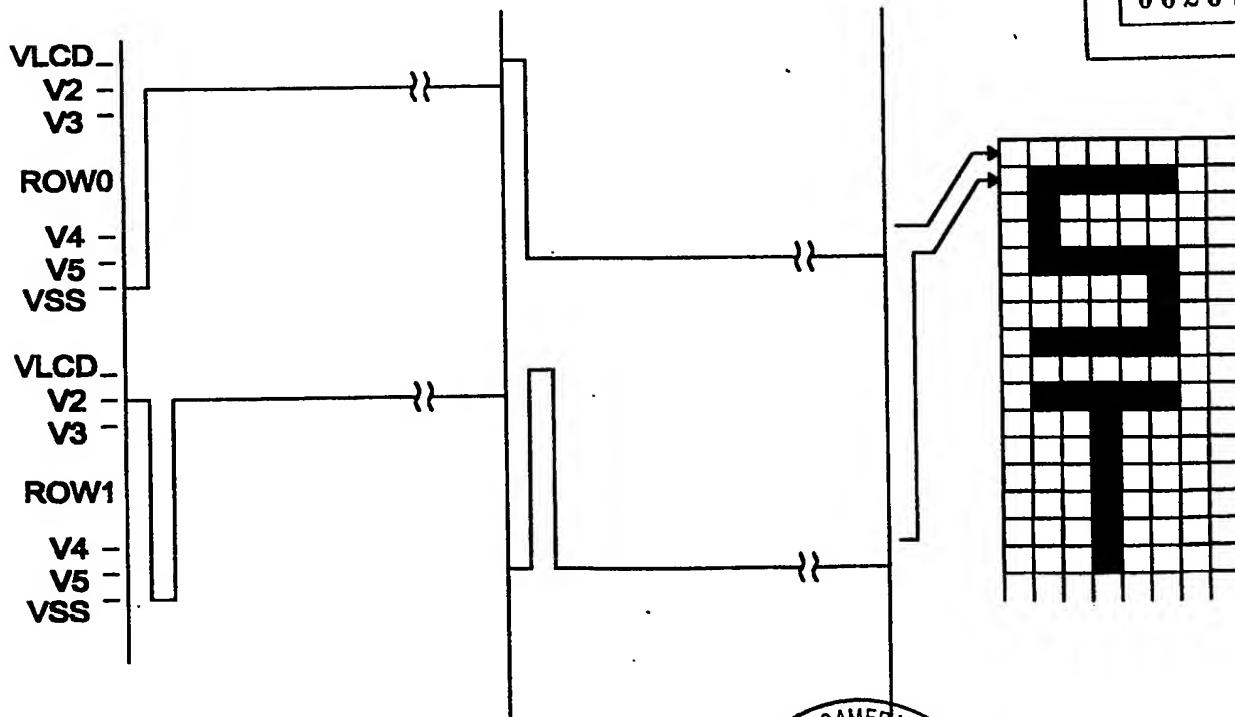
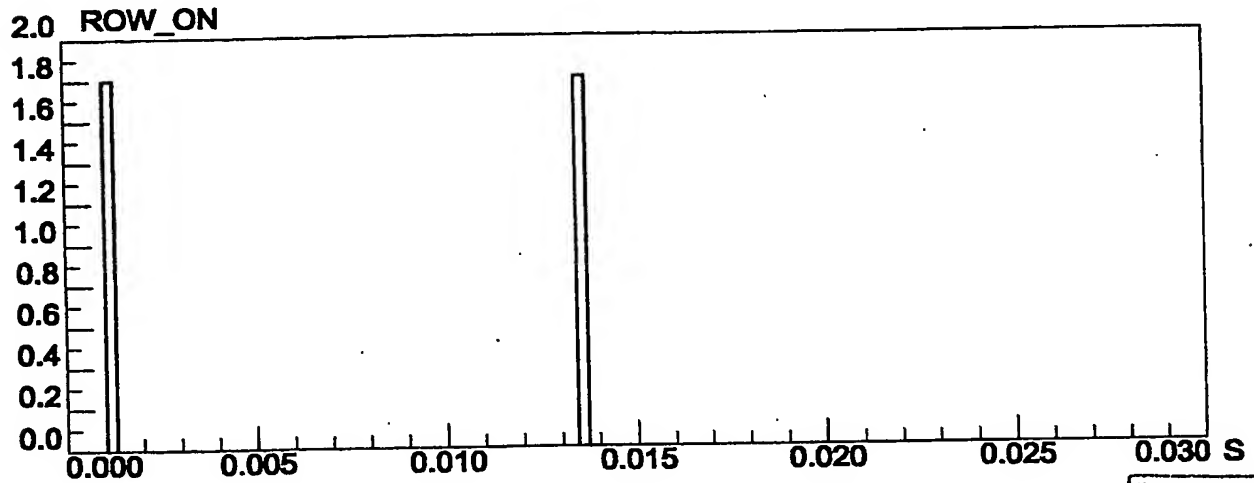
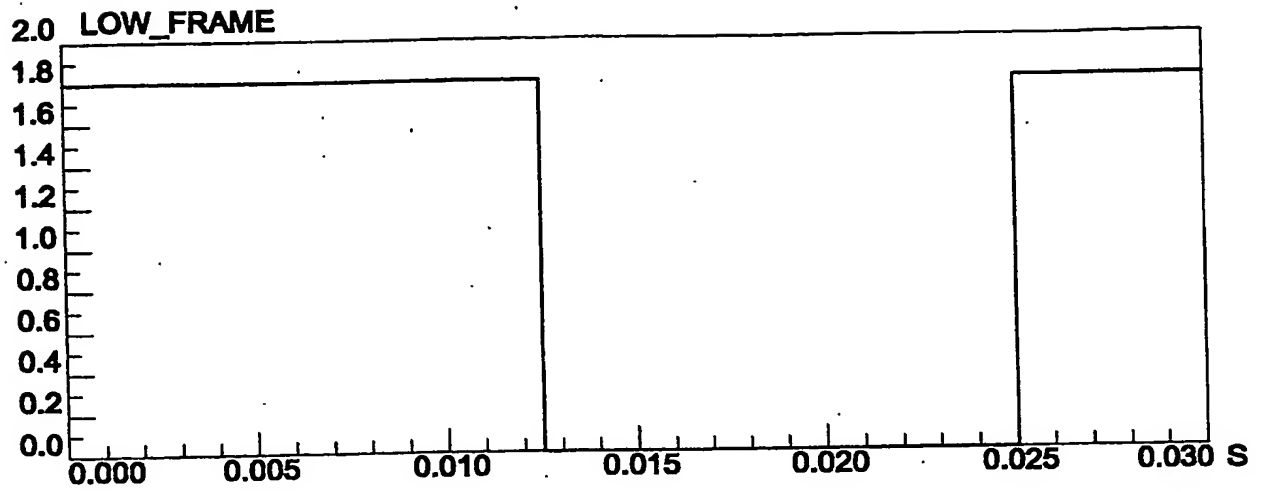


Fig.3

Fig.4





BREV. MI - R
002076

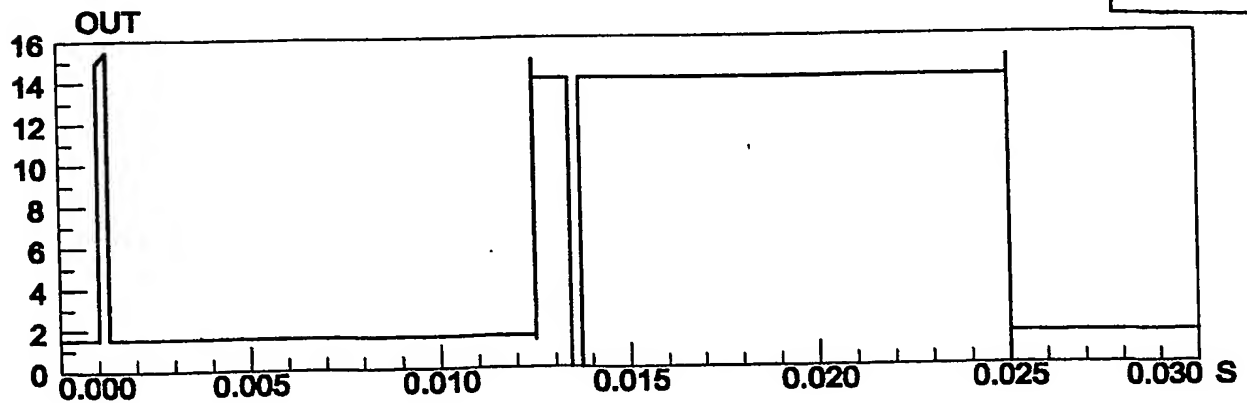


Fig.6



Dr. Ing. Enrico MITTLER